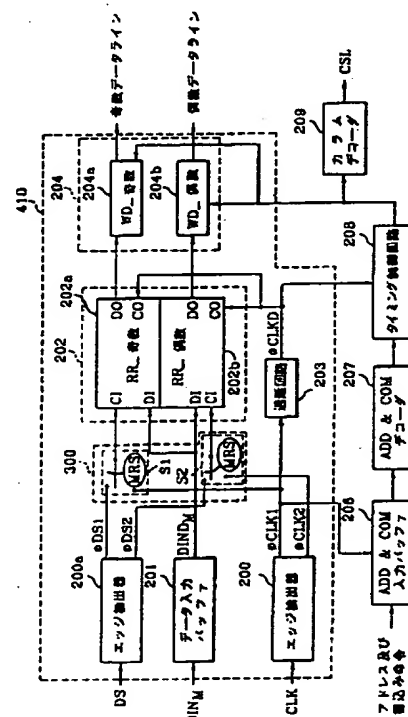
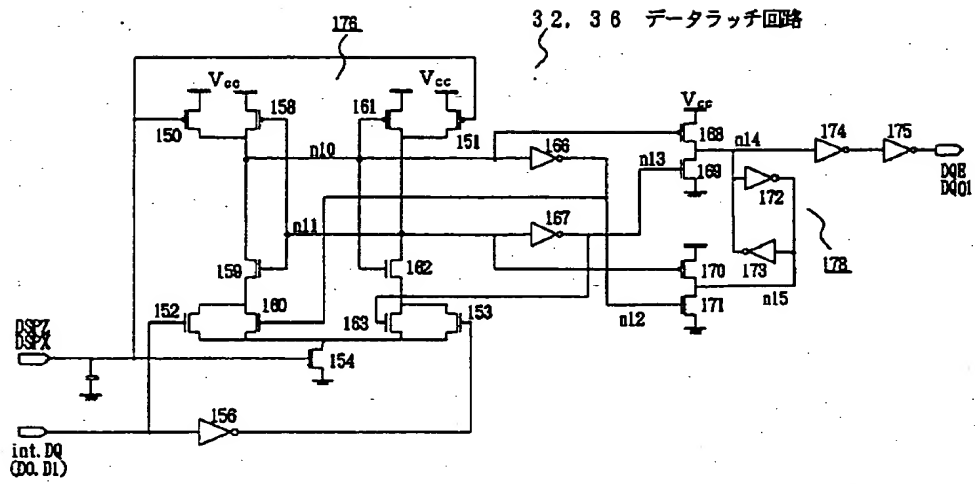


(11)特許出願公開番号





【特許請求の範囲】

【請求項1】 メモリセルアレイを持つ同期型半導体メモリ装置のデータ入力回路において、

外部から印加されたデータストロブ信号の上昇エッジが検出される時、第1の内部ストロブ信号を発生し、外部から印加されたデータストロブ信号の下降エッジが検出される時、第2の内部ストロブ信号を発生するための第1のエッジ検出器と、

外部から印加されたクロック信号の上昇エッジが検出される時、第1の内部クロック信号を発生し、外部から印加されたクロック信号の下降エッジが検出される時、第2の内部クロック信号を発生するための第2のエッジ検出器と、

外部から印加された選択制御信号によって、前記第1のエッジ検出器の第1及び第2の内部ストロブ信号、または第2のエッジ検出器の第1及び第2の内部クロック信号のうち一つの信号を選択する選択回路と、

前記選択された信号に同期して第1のレジスタに外部から印加されたデータストリングの奇数番目の信号を貯蔵し、さらには前記選択された信号に同期して第2のレジスタに外部から印加されたデータストリングの偶数番目の信号を貯蔵するためのレジスタ回路と、

遅延されたクロック信号を発生させるため、第1の内部クロック信号を遅延させるための遅延回路と、

前記遅延された信号に同期して前記第1のレジスタから前記メモリセルアレイに奇数番目のデータを書込み、さらには前記遅延された信号に同期して前記第2のレジスタから前記メモリセルアレイに偶数番目のデータを書込むためのデータ書込みドライバ回路とを備えることを特徴とする同期型半導体メモリ装置のデータ入力回路。

【請求項2】 前記データストリングを一時的に貯蔵するためのデータ入力バッファを更に備えることを特徴とする請求項1に記載の同期型半導体メモリ装置のデータ入力回路。

【請求項3】 前記選択制御信号がメモリ装置のモードレジスタからの制御信号であることを特徴とする請求項1に記載の同期型半導体メモリ装置のデータ入力回路。

【請求項4】 メモリセルアレイを持つ同期型半導体メモリ装置のデータ入力回路において、

外部から印加されたクロック信号の上昇エッジが検出される時、第1の内部クロック信号を発生し、外部から印加されたクロック信号の下降エッジが検出される時、第2の内部クロック信号を発生するための第1のエッジ検出器と、

前記第1の内部クロック信号に同期して第1のレジスタに外部から印加されたデータストリングの奇数番目のデータを貯蔵し、さらには前記第2の内部クロック信号に同期して第2のレジスタに外部から印加されたデータストリングの偶数番目のデータを貯蔵するためのレジスタ回路と、

遅延されたクロック信号を発生させるため、第1の内部クロック信号を遅延させるための遅延回路と、

前記遅延されたクロック信号に同期して前記第1のレジスタから前記メモリセルアレイに奇数番目のデータを書込み、さらには前記遅延されたクロック信号に同期して前記第2のレジスタから前記メモリセルアレイに偶数番目のデータを書込むための第1及び第2のデータ書込みドライバを持つデータ書込みドライバ回路とを備えることを特徴とする同期型半導体メモリ装置のデータ入力回路。

【請求項5】 前記データストリングを一時的に貯蔵するためのデータ入力バッファを更に備えることを特徴とする請求項4に記載の同期型半導体メモリ装置のデータ入力回路。

【請求項6】 メモリセルアレイを持つ同期型半導体メモリ装置のデータ入力回路において、

外部から印加されたデータストロブ信号の上昇エッジが検出される時、第1の内部ストロブ信号を発生し、外部から印加されたデータストロブ信号の下降エッジが検出される時、第2の内部ストロブ信号を発生するための第1のエッジ検出器と、

前記第1の内部ストロブ信号に同期して第1のレジスタに外部から印加されたデータストリングの奇数番目のデータを貯蔵し、さらには前記第2の内部ストロブ信号に同期して第2のレジスタに外部から印加されたデータストリングの偶数番目のデータを貯蔵するためのレジスタ回路と、

外部から印加されたクロック信号のエッジが検出される時、内部クロック信号を発生するための第2のエッジ検出器と、

遅延されたクロック信号を発生させるため、前記内部クロック信号を遅延させるための遅延回路と、

前記遅延されたクロック信号に同期して前記第1のレジスタから前記メモリセルアレイに奇数番目のデータを書込み、さらには前記遅延されたクロック信号に同期して前記第2のレジスタから前記メモリセルアレイに偶数番目のデータを書込むためのデータ書込みドライバ回路とを備えることを特徴とする同期型半導体メモリ装置のデータ入力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は外部クロックに同期し動作する同期型半導体メモリ装置に関するものであり、より具体的には外部から印加されるクロック信号またはデータストロブ信号の各エッジに同期してデータ書込み動作を遂行する同期型半導体メモリ装置のデータ入力回路に関するものである。

【0002】

【従来の技術】 図1は従来の典型的な同期型半導体メモリ装置のデータ入力に関連した回路を示し、図2は図1

のデータレジスタの詳細な回路図であり、そして図3は図1のメモリ装置の書き込み動作のタイミング図である。

【0003】図1において、データ入力回路110はデータ入力バッファ100、エッジ検出器101、データレジスタ102及び書き込みドライバ103で構成されている。前記データレジスタ102は、図2に示すように、クロック信号 ϕ CLK及びその相補信号 ϕ CLKに各々制御されるラッチ対L1及びL2から構成される。外部から印加されるデータストリング DIN_M ($M=0, 1, 2, \dots, I$)は、図3に示すように、前記エッジ検出器101から発生したクロック信号 ϕ CLKの上昇エッジを基準としてセットアップ及び保持時間の要求条件を満たし、前記データ入力バッファ100を通じて入力される。前記データ入力バッファ100から出力された前記データストリング DIN_M は前記クロック信号 ϕ CLK及び ϕ CLKに同期したラッチ対L1及びL2によってサンプリングされた後、前記書き込みドライバ103に印加される。外部から印加されるアドレス及び書き込み命令はADD&COM入力バッファ104、ADD&COMデコーダ105、タイミング制御回路106を通じてデコーディングされ、そのデコーディングされた信号によって前記書き込みドライバ103が活性化される。この書き込みドライバ103はデータレジスタ102から与えられるデータストリング DIN_M をデータラインに伝える。さらに、カラムデコーダ107は前記タイミング制御回路106の制御に従って、入力されたアドレスに応じるメモリセルアレイ上のカラム(図に示されない)を選択するためカラム選択信号CLSをデータ書き込み動作中発生し、これにより一つのクロック毎に一つのデータがメモリ装置に入力される。

【0004】

【発明が解決しようとする課題】しかし、最近の高速プロセッサ及びマルチメディアコンピュータシステム環境は、より大きい帯域幅の半導体メモリ装置を要求している。このような要求に従い、同期型半導体メモリ装置の場合、1クロックの上昇エッジ及び下降エッジを両方使用しているから、セルアレイに又はセルアレイから1クロック当たり二つまたは四つのデータを読み出し又は書き込みする技術が提案されたことがある。この技術はDDR(double data rate)スキムと呼ばれている。

【0005】このようなデータ転送方式において、目的地(destination)のデータセットアップ時間及び保持時間要求を満たすために、転送されるデータと共にデータストロブ信号を供給する技術も知られている。このようなデータ及びデータストロブ信号の転送は一般的にトグル(toggle)するダミーデータを発生させることより簡単に遂行することができる。しかし、データ書き込み動作において1クロック毎に二つまたは四つのデータは多様な方式で書き込みすることはでき

ない。

【0006】したがって、本発明の目的は、データ書き込み動作中に外部から印加される1クロック信号またはデータストロブ信号のエッジに同期し、データストリングを書き込みできる同期型半導体メモリ装置のデータ入力回路を提供することにある。

【0007】

【課題を解決するための手段】本発明の一特徴によると、本発明の同期型半導体メモリ装置のデータ入力回路は、外部から印加されたデータストロブ信号の上昇エッジが検出される時、第1の内部ストロブ信号を発生し、外部から印加されたデータストロブ信号の下降エッジが検出される時、第2の内部ストロブ信号を発生するための第1のエッジ検出器と、外部から印加されたクロック信号の上昇エッジが検出される時、第1の内部クロック信号を発生し、外部から印加されたクロック信号の下降エッジが検出される時、第2の内部クロック信号を発生するための第2のエッジ検出器と、外部から印加された選択制御信号によって、前記第1のエッジ検出器の第1及び第2の内部ストロブ信号、または第2のエッジ検出器の第1及び第2の内部クロック信号のうち一つの信号を選択する選択回路と、前記選択された信号に同期して第1のレジスタに外部から印加されたデータストリングの奇数番目の信号を貯蔵し、さらには前記選択された信号に同期して第2のレジスタに外部から印加されたデータストリングの偶数番目の信号を貯蔵するためのレジスタ回路と、遅延されたクロック信号を発生させるため、第1の内部クロック信号を遅延させるための遅延回路と、前記遅延された信号に同期して前記第1のレジスタからメモリセルアレイに奇数番目のデータを書込み、さらには記遅延された信号に同期して前記第2のレジスタから前記メモリセルアレイに偶数番目のデータを書込むためのデータ書き込みドライバ回路とを備える。

【0008】本発明の他の特徴によると、本発明の同期型半導体メモリ装置のデータ入力回路は、外部から印加されたクロック信号の上昇エッジが検出される時、第1の内部クロック信号を発生し、外部から印加されたクロック信号の下降エッジが検出される時、第2の内部クロック信号を発生するための第1のエッジ検出器と、前記第1の内部クロック信号に同期して第1のレジスタに外部から印加されたデータストリングの奇数番目のデータを貯蔵し、さらには前記第2の内部クロック信号に同期して第2のレジスタに外部から印加されたデータストリングの偶数番目のデータを貯蔵するためのレジスタ回路と、遅延されたクロック信号を発生させるため、第1の内部クロック信号を遅延させるための遅延回路と、前記遅延されたクロック信号に同期して前記第1のレジスタから前記メモリセルアレイに奇数番目のデータを書込み、さらには前記遅延されたクロック信号に同期して前記第2のレジスタからメモリセルアレイに偶数番目のデ

ータを書込むための第1及び第2のデータ書込みドライバを持つデータ書込みドライバ回路とを備える。

【0009】本発明の更に他の特徴によると、本発明の同期型半導体メモリ装置のデータ入力回路は、外部から印加されたデータストロブ信号の上昇エッジが検出される時、第1の内部ストロブ信号を発生し、外部から印加されたデータストロブ信号の下降エッジが検出される時、第2の内部ストロブ信号を発生するための第1のエッジ検出器と、前記第1の内部ストロブ信号に同期して第1のレジスタに外部から印加されたデータトリングの奇数番目のデータを貯蔵し、さらには前記第2の内部ストロブ信号に同期して第2のレジスタに外部から印加されたデータストリングの偶数番目のデータを貯蔵するためのレジスタ回路と、外部から印加されたクロック信号のエッジが検出される時、内部クロック信号を発生するための第2のエッジ検出器と、遅延されたクロック信号を発生させるため、前記内部クロック信号を遅延させるための遅延回路と、前記遅延されたクロック信号に同期して前記第1のレジスタから前記メモリセルアレイに奇数番目のデータを書込み、さらには前記遅延されたクロック信号に同期して前記第2のレジスタからメモリセルアレイに偶数番目のデータを書込むためのデータ書込みドライバ回路とを備える。

【0010】このような構成によれば、クロック信号とストロブ信号を選択的に使用して速いデータ書込み動作を遂行することができる。

【0011】

【発明の実施の形態】以下、添付された図面を参照して本発明の実施の形態を詳細に説明する。

第1の実施の形態

図4は本発明の第1の実施の形態による同期型半導体メモリ装置のデータ入力回路及びその周辺回路を示している。図4を参照すると、データ入力回路210はエッジ検出器200と、データ入力バッファ201と、データレジスタ回路202と、遅延回路203と、書込みドライバ回路204とで構成される。データレジスタ回路202は2つのレジスタ202a及び202bで構成され、書込みドライバ回路204も2つの書込みドライバ204a及び204bで構成される。エッジ検出器200は外部クロック信号CLKの上昇エッジが検出される時、第1の内部クロック信号 ϕ CLK1を発生し、外部クロック信号CLKの下降エッジが検出される時、第2の内部クロック信号 ϕ CLK2を発生する。外部から入力されるデータストリングDIND_M (M=0, 1, 2, ..., i) はデータ入力バッファ201を通じてデータレジスタ回路202に供給される。レジスタ202aはエッジ検出器200からその入力端子C1に供給される第1の内部クロック信号 ϕ CLK1に同期して、前記データストリングDIND_Mのうち奇数番目データD1, D3, ...を順次に貯蔵する。レジスタ202bは

エッジ検出器200からの第2の内部クロック信号 ϕ CLK2に同期して、データストリングDIND_Mのうち偶数番目データD2, D4, ...を順次に貯蔵する。前記エッジ検出器200から出力される第1の内部クロック信号 ϕ CLK1は遅延回路203によって遅延される。この遅延回路203の出力 ϕ CLKDはレジスタ202a及び202bの出力制御端子C0及びタイミング制御回路208に供給される。前記レジスタ202a及び202bは前記クロック信号 ϕ CLKDに同期して、前記奇数番目及び偶数番目データD1, D3, ..., 及びD2, D4, ...を各々書込みドライバ204a及び204bに出力する。206はADD&COM (アドレス及び書込み命令) 入力バッファ、207はADD&COMデコーダ、208はタイミング制御回路、209はカラムデコーダである。

【0012】図5は図4のデータレジスタ回路202の詳細回路図であり、図6は図4のメモリ装置の動作タイミング図である。次に、図4ないし図6を参照してこの実施の形態による同期型半導体メモリ装置のデータ書込み動作について詳しく説明する。

【0013】エッジ検出器200は外部クロック信号CLKの上昇エッジと下降エッジの各々に同期した第1及び第2の内部クロック信号 ϕ CLK1及び ϕ CLK2を発生する。外部クロック信号CLKの上昇エッジを基準としてセットアップ及び保持時間の要求条件を満たすデータストリングDIND_Mがデータ入力バッファ201を通じて入力される。説明の便宜のため、この実施の形態及び次の実施の形態において、データストリングDIND_Mは4ビットデータ (即ち、M=1, 2, 3, 及び4) であると仮定する。しかしながら、4ビットより大きいビット数のデータストリングも以下で説明したような方式で入力することができる。

【0014】図5に示すように、レジスタ202aは2つのユニット貯蔵セルR1及びR2、そして1つのラッチL1を備えている。セルR1はCMOSインバータ121~124, NMOSトランジスタMN3及びMN4で構成される。インバータ対121及び122、または123及び124はラッチL1と同様に逆向きで並列接続される。前記第2のユニット貯蔵セルR2はインバータ125~128, NMOSトランジスタMN5及びMN6で構成される。図に示したように、R2はセルR1と同一の構成を持っている。セルR2と書込みドライバ204aとの間に介在されるラッチL1はNMOSトランジスタMN7, CMOSインバータ129及び130で構成される。

【0015】レジスタ202bはユニット貯蔵セルR3とラッチL2で構成される。セルR3はNMOSトランジスタMN9及びMN10, CMOSインバータ131~134を有し、その構成はセルR1またはR2と同一である。ラッチL2はNMOSトランジスタMN11,

CMOSインバータ135及び136を有し、その構成はラッチL1と同一である。

【0016】貯蔵セルR1はクロック信号 ϕ CLK1及びその相補信号 ϕ CLK1に同期して、データストリングDIND_Mのうち奇数番目データD1及びD3を順次に貯蔵する。次に、セルR3はクロック信号 ϕ CLK2及びその相補信号 ϕ CLK2に同期して、データストリングDIND_Mのうち偶数番目データD2及びD4を順次に貯蔵する。それと同時にレジスタ202aの第2のユニット貯蔵セルR2は前記クロック信号 ϕ CLK2及びその相補信号 ϕ CLK2に同期して、セルR1に貯蔵された奇数番目データD1を貯蔵する。従って、前記セルR2及びR3に貯蔵された奇数番目データD1及びD3、及び偶数番目データD2及びD4は、図6に示すように整列される。次に、レジスタ202a及び202bに貯蔵された奇数番目データD1及びD3、及び偶数番目データD2及びD4はクロック信号 ϕ CLKDに同期して書き込みドライバ204a及び204bに各々印加される。ここで、前記クロック信号 ϕ CLKDとしては、タイミングマージンに従い図6に示されるように遅延程度が異なるクロック信号 ϕ CLKD及び ϕ CLKD'のうち一つが使用される。また、前記データレジスタ回路202に無効データが持続的に貯蔵されることを防止するため、前記データレジスタ回路202において、クロック信号 ϕ CLK2の代わりに、書き込みイネーブル命令に従って発生される信号WR及び前記クロック信号 ϕ CLK2を論理積して発生される信号 ϕ CLK2 \wedge WR及びその相補信号 ϕ CLK2 \wedge WRを使用することができる。

【0017】図4に示すように、書き込みドライバ204a及び204bはタイミング制御回路208の制御に従い活性化され、対応するデータラインにデータD1、D2、D3及びD4を各々順次伝達する。続いて、カラムデコーダ209も前記タイミング制御回路208によって活性化され、アドレスに対応するカラムを選択する。

【0018】第2の実施の形態

本発明の第2の実施の形態による同期型半導体メモリ装置のデータ入力回路及びその周辺回路が図7に示されている。図7において、図4の構成要素と同一或いは類似する構成要素には同一或いは類似する参照番号を付している。同一部分については説明を省略する。

【0019】図7を参照すると、この実施の形態の半導体メモリ装置はそのデータ書き込み動作中に外部からデータストロブ信号DSが供給される。この実施の形態の半導体メモリ装置は第1の実施の形態と比べると、クロック信号CLKのエッジを検出するためのエッジ検出器200以外にもう一つのエッジ検出器200aをデータ入力回路310が備えている。この付加されたエッジ検出器200aはデータストロブ信号DSのエッジを検

出する機能を行う。この検出器200aはデータストロブ信号DSの上昇エッジと下降エッジに各々同期した第1及び第2の内部ストロブ信号 ϕ DS1及び ϕ DS2を発生させる。内部ストロブ信号 ϕ DS1及び ϕ DS2はレジスタ回路202のレジスタ202a及び202bの入力端子CIに各々供給される。エッジ検出器200の出力 ϕ CLK1は遅延回路203に供給される。この遅延回路203の出力 ϕ CLKDはレジスタ202a及び202bの出力端子CO及びタイミング制御回路208に供給される。

【0020】外部から入力されるデータストリングDIND_M (M=0, 1, 2, ..., i) はデータ入力レジスタ201を通じてデータレジスタ回路202に供給される。レジスタ202aはエッジ検出器200aからその入力端子CIに供給される内部ストロブ信号 ϕ DS1に同期して、前記データストリングDIND_Mのうち奇数番目のデータD1, D3, ...を順次に貯蔵する。レジスタ202bは前記エッジ検出器200aからの内部ストロブ信号 ϕ DS2に同期して、前記データストリングDIND_Mのうち偶数番目のデータD2, D4, ...を順次に貯蔵する。前記レジスタ202a及び202bはクロック信号 ϕ CLKDに同期して、前記奇数番目及び偶数番目データD1, D3, ...、及びD2, D4, ...を書込みドライバ204a及び204bに各々出力する。

【0021】図8は図4のデータレジスタ回路202の詳細回路である。図8に示すように前記レジスタ回路202は外部から印加される信号を除いて図5のレジスタ回路202と同一の構成をしている。図8を参照すると、レジスタ202aはユニット貯蔵セルR1'及びR2'、及びラッチL1'を備えている。セルR1'はCMOSインバータ121'~124'、NMOSトランジスタMN3'及びMN4'で構成される。図示したように、セルR2'はセルR1'と同一の構成になっている。セルR2'と書き込みドライバ204aとの間に介在するラッチL1'はNMOSトランジスタMN7'、CMOSインバータ129'及び130'で構成される。

【0022】レジスタ202bはユニット貯蔵セルR3'とラッチL2'で構成されている。セルR3'はNMOSトランジスタMN9'及びMN10'と、CMOSインバータ131'~136'で構成される。ラッチL2'はNMOSトランジスタMN11'と、CMOSインバータ135'及び136'で構成される。

【0023】図9は図7のメモリ装置の動作タイミング図である。次に図7ないし図9を参照して本実施の形態に従う同期型半導体メモリ装置のデータ書き込み動作について詳しく説明する。

【0024】貯蔵セルR1'は内部ストロブ信号 ϕ DS1及びその相補信号 ϕ DS1に同期してデータストリングDIND_Mのうち奇数番目のデータD1及びD3

を順次に貯蔵する。次に、セルR3'は内部ストロブ信号 ϕ DS2及びその相補信号 ϕ DS2に同期してデータストリングDIND_Mのうち偶数番目のデータD2及びD4を順次に貯蔵する。それと共に、レジスタ202aの貯蔵セルR2'は内部ストロブ信号 ϕ DS2及びその相補信号 ϕ DS2に同期してデータストリングDIND_Mのうち奇数番目のデータD1及びD3を順次に貯蔵する。従って、前記セルR2'及びR3'に貯蔵された奇数番目のデータD1及びD3、及び偶数番目のデータD2及びD4は図9に示すように整列される。次に、レジスタ202a及び202bに貯蔵された奇数番目のデータD1及びD3、及び偶数番目のデータD2及びD4はクロック信号 ϕ CLKDに同期して、書き込みドライバ204a及び204bに各々印加される。ここで、書き込みドライバ204a及び204bは書き込み命令WRの直ぐ次のクロックCLKにより活性化される。図9において、ケースIは外部クロック信号CLKによる内部クロック信号 ϕ CLKDが発生した後、データストロブ信号によるデータがレジスタ回路202に到着する場合を示し、ケースIIは前記内部クロック信号 ϕ CLKDが発生する前にデータがレジスタ回路202に到着する場合を示している。

【0025】第1の実施の形態のようにクロック信号CLKを使用してデータを書込むと、確保できるデータセットアップあるいは保持ウィンドウは約3ns程度にすぎないが、本実施の形態に従うと、図9のケースI及びケースIIから分かるように少なくとも1クロック以上のセットアップあるいは保持ウィンドウを確保することができる。

【0026】本実施の形態においても、データレジスタ回路202に無効データが持続的に貯蔵されることを防止するため、前記レジスタ回路202で、ストロブ信号 ϕ DS2の代わりに、書き込みイネーブル命令に従って発生される信号 ϕ CLK2 \wedge WR及びその相補信号 ϕ CLK2 \wedge WRを使用してもよい。

【0027】図7に示したように、書き込みドライバ204a及び204bはタイミング制御回路208の制御に従って活性化され、対応するデータラインにデータD1及びD2、D3及びD4を各々順次に伝達する。続いて、カラムデコーダ209も前記タイミング制御回路208によって活性化されてアドレスに対応するカラムを選択する。

【0028】第3の実施の形態

図10は第3の実施の形態に従う同期型半導体メモリ装置のデータ入力回路及びその周辺回路を示している。図10を参照すると、この半導体メモリ装置は2つのエッジ検出器200及び200a、及び選択回路300をデータ入力回路410に備えている。エッジ検出器200は外部クロック信号CLKの上昇エッジが検出される時、第1の内部クロック信号 ϕ CLK1を発生し、外部

クロック信号CLKの下降エッジが検出される時、第2の内部クロック信号 ϕ CLK2を発生する。また、エッジ検出器200aは外部から印加されるデータストロブ信号DSの上昇エッジと下降エッジに各々同期した第1及び第2の内部ストロブ信号 ϕ DS1及び ϕ DS2を発生する。選択回路300は本メモリ装置の特徴的構成の一つであり、本分野でよく知られているモードレジスタ（図には示されない）の出力MSRによって制御されて、前記内部クロック信号 ϕ CLK1及び ϕ CLK2、及び前記内部ストロブ信号 ϕ DS1及び ϕ DS2を選択的にレジスタ回路202に供給する。例えば、モードレジスタから論理「1」の選択制御信号MSRが印加されると、選択回路300はエッジ検出器200からの内部クロック信号 ϕ CLK1及び ϕ CLK2を選択してデータレジスタ回路202に供給する。従って、この場合には、本実施の形態の装置が前述の第1の実施の形態の装置と同一に動作する。一方、モードレジスタから論理「0」の選択制御信号MSRが印加されると、選択回路300はエッジ検出器200aからの内部ストロブ信号 ϕ DS1及び ϕ DS2を選択してデータレジスタ回路202に供給する。この場合、本実施の形態の装置は前述の第2の実施の形態の装置と同一に動作する。以上のように、本実施の形態の装置は外部クロック信号CLK或いは外部データストロブ信号DSに選択的に同期してデータ書き込み動作を行える。

【0029】

【発明の効果】以上のように、本発明の同期型半導体メモリ装置のデータ入力回路によれば、クロック信号とデータストロブ信号を選択的に使用して速いデータ書き込み動作を遂行することができる。さらに、データ書き込み動作のためにデータストロブ信号を使用した場合は、データのセットアップ及びホールドウィンドのタイミングマージンを十分に確保することができる。

【図面の簡単な説明】

【図1】従来の典型的な同期型半導体メモリ装置を示すブロック図。

【図2】図1のデータレジスタの詳細回路図。

【図3】図1のメモリ装置のデータ書き込み動作のタイミング図。

【図4】本発明による同期型半導体メモリ装置のデータ入力回路の第1の実施の形態を示すブロック図。

【図5】図4のデータレジスタ回路の詳細回路図。

【図6】図4のメモリ装置のデータ書き込み動作のタイミング図。

【図7】本発明による同期型半導体メモリ装置のデータ入力回路の第2の実施の形態を示すブロック図。

【図8】図7のデータレジスタ回路の詳細回路図。

【図9】図7のメモリ装置のデータ書き込み動作のタイミング図。

【図10】本発明による同期型半導体メモリ装置のデー

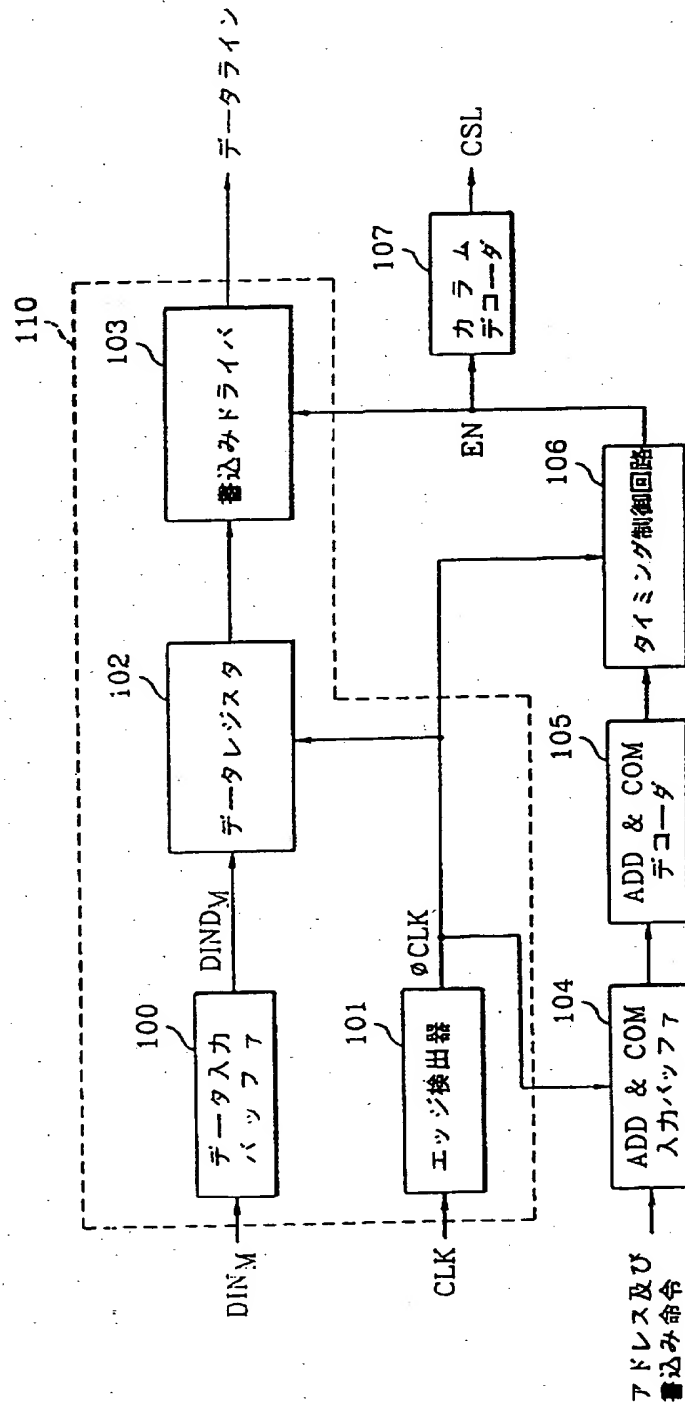
タ入力回路の第3の実施の形態を示すブロック図。

【符号の説明】

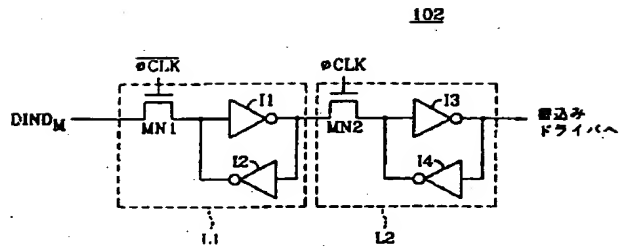
200, 200a エッジ検出器
201 データ入力バッファ
202 データレジスタ回路
202a, 202b レジスタ

203 遅延回路
204 書き込みドライバ回路
204a, 204b 書き込みドライバ
300 選択回路
410 データ入力回路

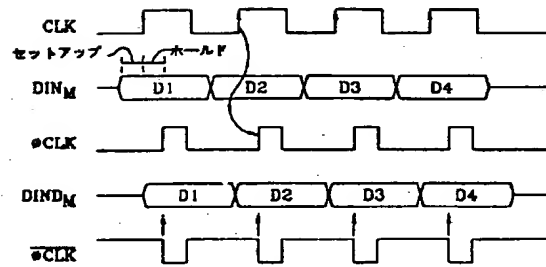
【図1】



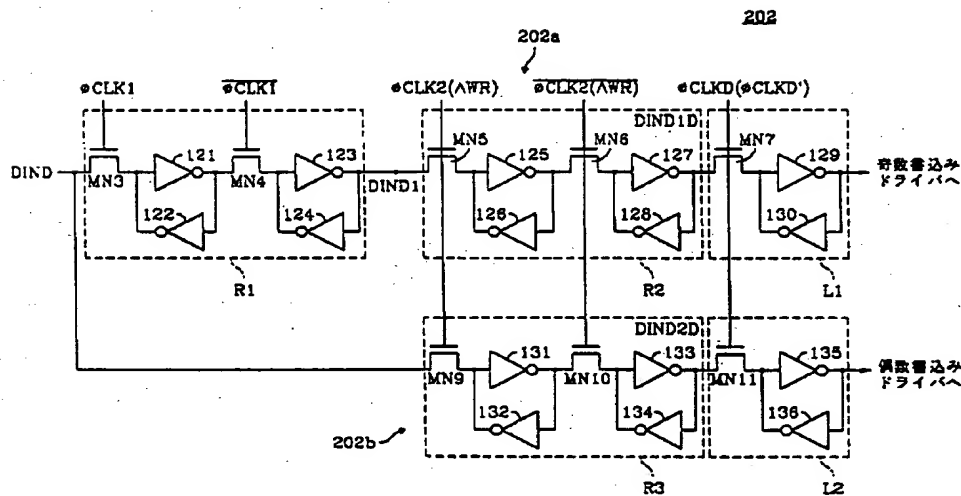
【図2】



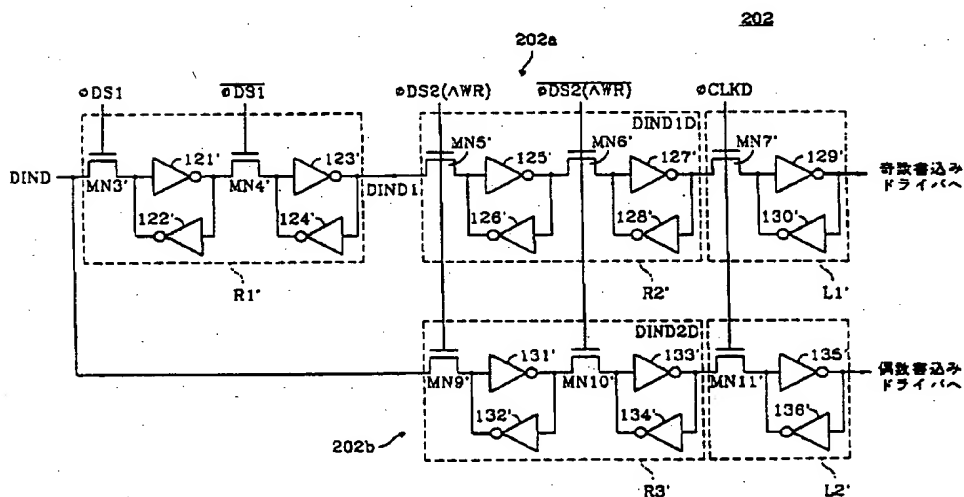
【図3】



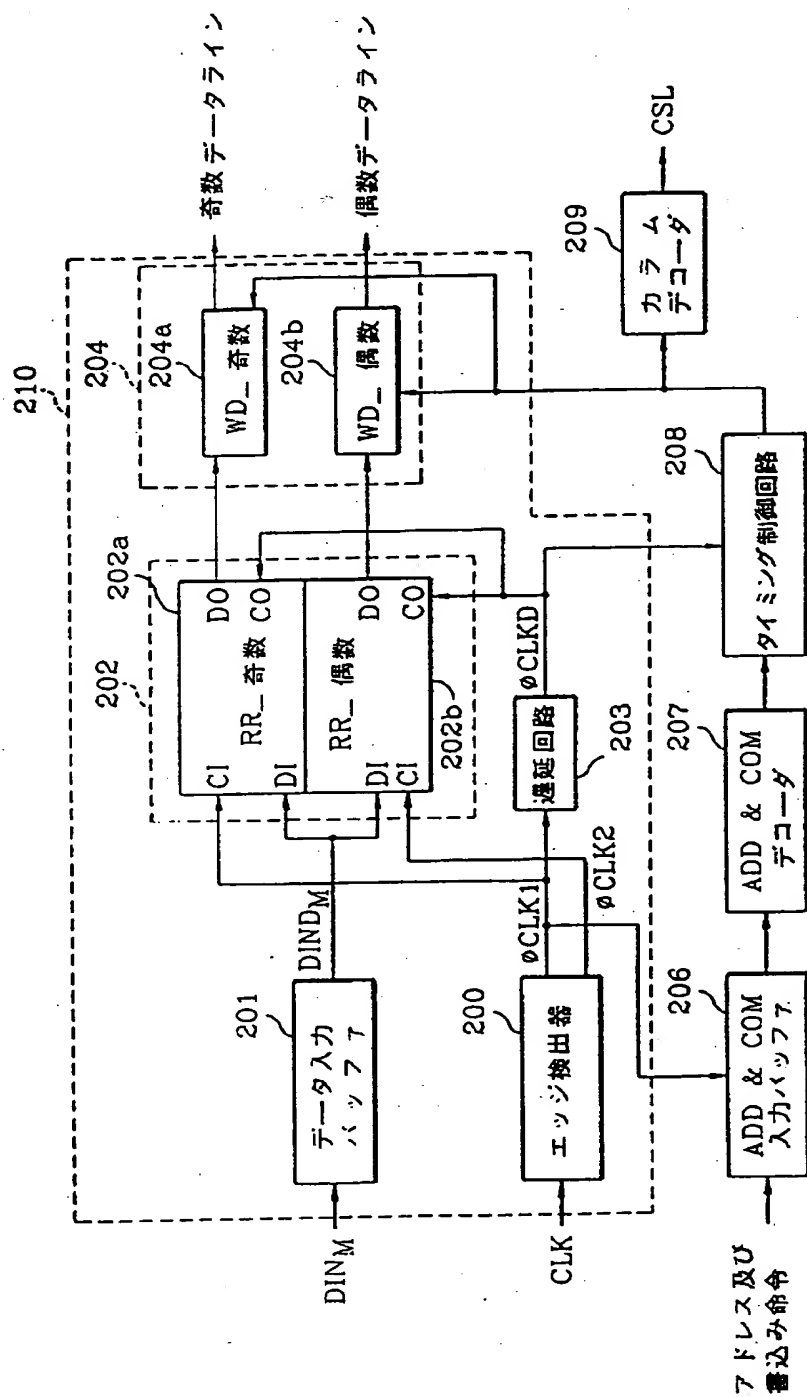
【図5】



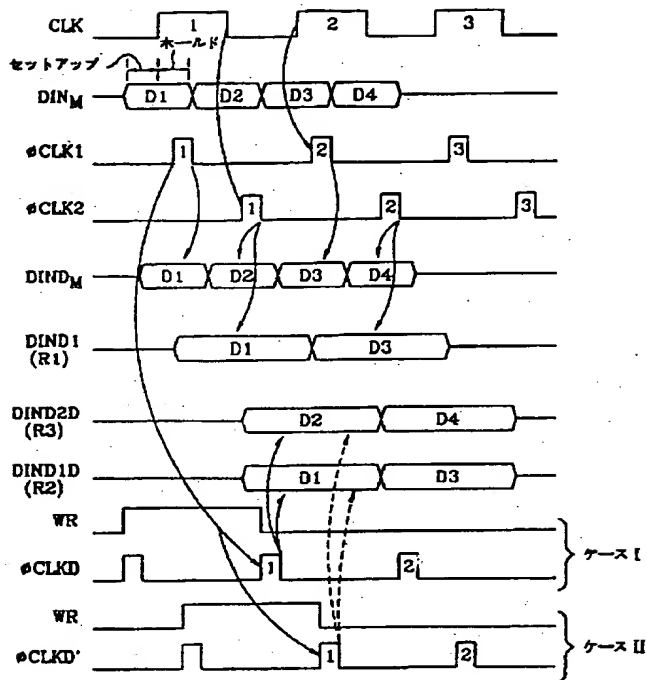
【図8】



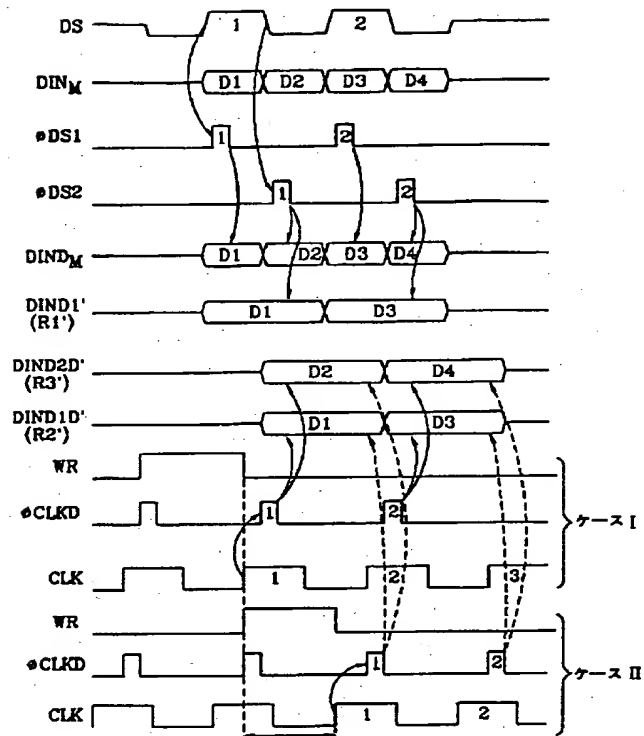
【図4】



【図6】

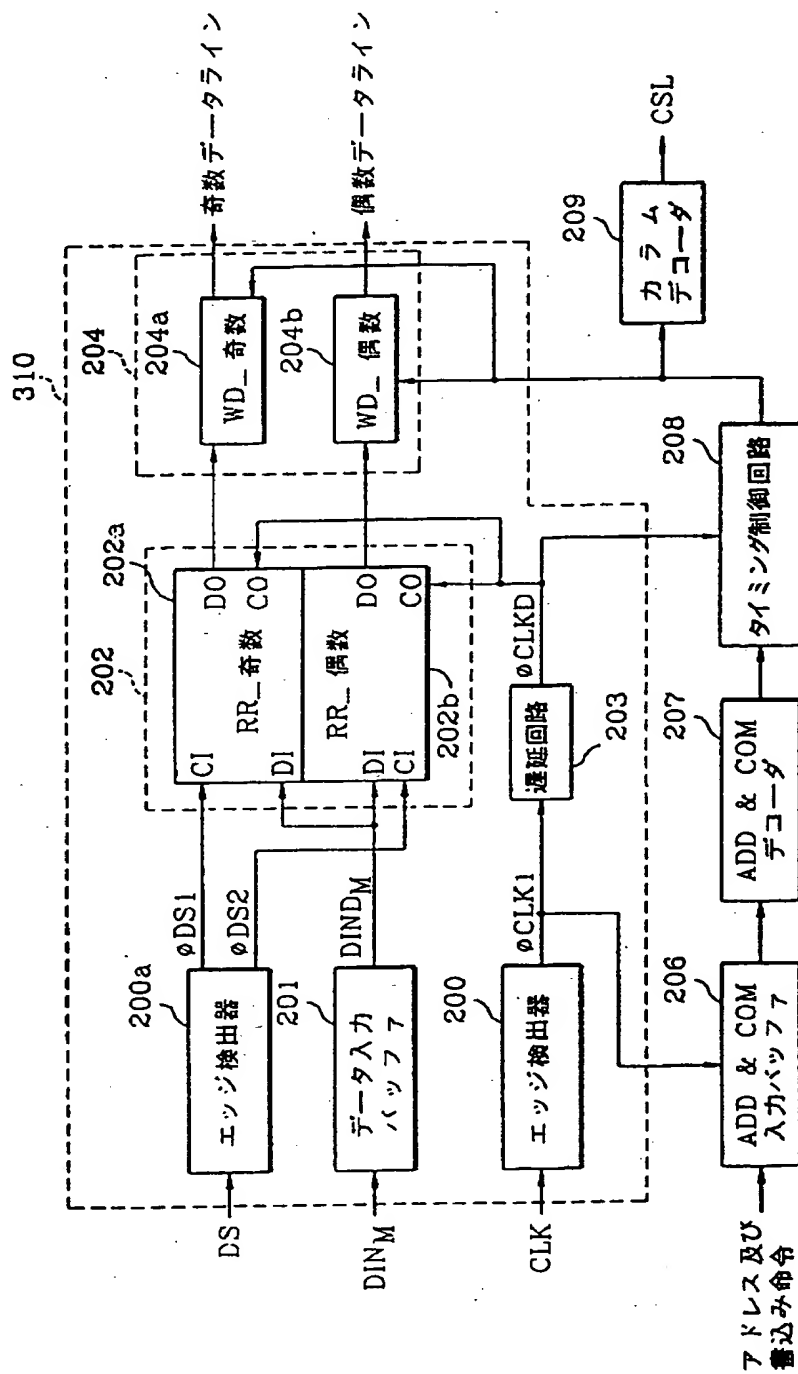


【図9】



許容可能なタイミング変動

【図7】



【図10】

